

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-233337

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H04Q 3/52
H04Q 11/04

(21)Application number : 05-305196

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 06.12.1993

(72)Inventor : LAMAIRE RICHARD O
SERPANOS DIMITRIOS N

(30)Priority

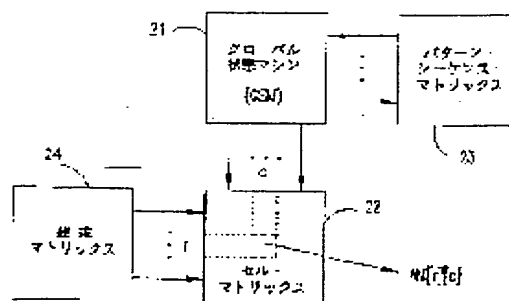
Priority number : 92 993211 Priority date : 18.12.1992 Priority country : US

(54) METHOD FOR SCHEDULING PLURAL REQUESTS AND EXCHANGE SYSTEM

(57)Abstract:

PURPOSE: To realize fair access by establishing a diagonal pattern and a pattern sequence matrix and sequencing the diagonal pattern, and then processing requests at each time slot in accordance with the diagonal pattern.

CONSTITUTION: A global status machine 21 distributes diagonal information from a pattern sequence matrix 23 during each time interval. A cell matrix 22 calculates the bit of an allocation matrix, based on the input from a request matrix 24 and stores the bit. The machine 21 generates a signal which makes a cell usable. Namely, the machine 21 generates '1', when the input (r) is not allocated for connection '0' when the input (r) is allocated, '1' when an output (c) is not allocated for connection, and '0' when the output (c) is allocated. When this information is given, each cell of the matrix 22 calculates the corresponding $\Delta M[r][c]$ by using a specific logical function. Therefore, the input (r) and output (c) are respectively allocated for connection.



LEGAL STATUS

[Date of request for examination] 06.12.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 27.10.1997

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-233337

(43)公開日 平成 6 年(1994) 8 月19日

(51)Int.Cl.⁵H 0 4 Q 3/52
11/04

識別記号

1 0 1 A

庁内整理番号

9076-5K

F I

技術表示箇所

9076-5K

H 0 4 Q 11/ 04

E

審査請求 有 請求項の数 8 O L (全 14 頁)

(21)出願番号 特願平5-305196

(22)出願日 平成 5 年(1993)12 月 6 日

(31)優先権主張番号 9 9 3 2 1 1

(32)優先日 1992年12月18日

(33)優先権主張国 米国 (U S)

(71)出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 リチャード・オーヴィル・ルメール

アメリカ合衆国10598、ニューヨーク州ヨ
ークタウン・ハイツ、カリフォルニア・ロ
ード 138

(74)代理人 弁理士 合田 潔 (外 3 名)

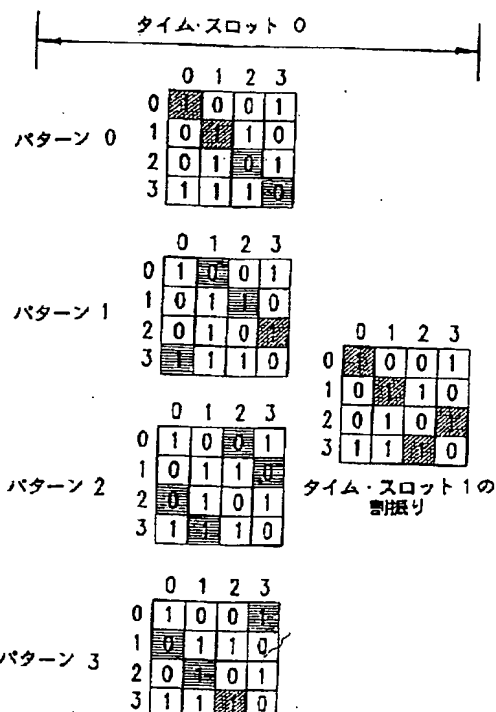
最終頁に続く

(54)【発明の名称】 複数の要求のスケジューリング方法および交換システム

(57)【要約】

【目的】 本発明の目的は、複数の入力待ち行列を有するタイム・スロット式交換機において公平なアクセスを提供するスケジューリング機構を提供することである。

【構成】 N^2 個の入力待ち行列からの N 個の出力への要求をスケジューリングする方法を、 $N \times N$ 交換機に適用する。この方法では、入力を表す各行と出力を表す各列を備えた要求マトリックスを使用する。したがって、マトリックスの所与の行および列のビットは、対応する入力ポートからの、対応する出力ポートへの接続要求を表す。ダイアゴナル・サービス・パターンを使って、要求マトリックスにオーバーレイし、どの要求を処理すべきかを決定する。 K 個のタイム・スロットの各々について一連のダイアゴナル・サービス・パターンを使って、より公平であるが計算が簡単なスケジューラが、 $2N-1$ 個のタイム・スロット内で確実なサービスを提供するようにする。



1

【特許請求の範囲】

【請求項1】 交換システムにおいて、N個の入力ポートからのN個の出力ポートへの要求をスケジューリングする方法であって、複数の入力ポートが同一の出力ポートに対して同時に要求を処理することができず、かつ複数の出力ポートが同一の入力ポートに対して同時に要求を処理することができず、

(a) 各エントリが、前記入力ポートの1つと前記出力ポートの1つとから成る対応する対の間にサービス要求があるかどうかを示す、要求マトリックスを確立するステップと、

(b) 前記マトリックスの同じ行および同じ列に同じダイアゴナル・パターン・シーケンスの2要素が存在しないように、前記マトリックス上に1組D個のダイアゴナル・パターンを確立するステップと、

(c) K個の連続するタイム・スロットの各々について、前記D個のダイアゴナル・パターン・シーケンスを指定するパターン・シーケンス・マトリックスPMを確立するステップと、

(d) 前記パターン・シーケンス・マトリックスPM中のシーケンスに従って、前記K個のタイム・スロットの各タイム・スロットごとに前記D個 ($D > 1$) のダイアゴナル・パターンを順序付けるステップと、

(e) 各ダイアゴナル・パターンを前記要求マトリックスにオーバーレイし、要求マトリックス上に示されるオーバーレイされた要求が、ステップ(d)で定義された当該タイム・スロットについての順序付けでそれ以前にあるダイアゴナル・パターンによってすでにオーバーレイされた要求と矛盾しない場合には、該要求を実行することによって、前記順序付けられた1組のダイアゴナル・パターンに従って各タイム・スロットで要求を処理するステップと、

(f) ステップ(d)で定義されたダイアゴナル・パターンのシーケンスを用いて、後続のK個のタイム・スロットからなる任意の組について、前記のステップ(e)を繰り返すステップとを含む方法。

【請求項2】 $D = N$ かつ $K = N$ であり、待ち行列が、N個のタイム・スロットから成る各期間中に少なくとも1つのタイム・スロットのサービスを受けることを保証される、請求項1に記載の方法。

【請求項3】 ステップ(c)の後に前記パターン・シーケンス・マトリックスPMを記憶するステップを含み、ステップ(d)が、記憶されたパターン・シーケンス・マトリックスPMにアクセスする状態マシンによって実行される、請求項2に記載の方法。

【請求項4】 $D = N \times N$ かつ $K = N \times N$ であり、待ち行列が、 $2N - 1$ 個のタイム・スロットの各期間中に少なくとも1つのタイム・スロットのサービスを受けることを保証される、請求項1に記載の方法。

2

【請求項5】 前記N個の入力ポートが、行列の形に並べられたセルから成る $N \times N$ 交換マトリックスを使用してN個の出力ポートに接続されており、さらに、ステップ

(c)の後に、前記 $N \times N$ 個の交換マトリックスの各行ごとに設けられた複数の行制御装置に前記パターン・シーケンス・マトリックスPMを記憶するステップを含み、該御装置が、同報通信フェーズと計算フェーズという2つのフェーズでステップ(d)を実行し、該同報通信フェーズ中には、前記行制御装置の1つが他のすべての行制御装置に、ローカルに記憶されている前記パターン・シーケンス・マトリックスPMのエントリを同報通信し、該計算フェーズ中には、各行制御装置が、ある時間間隔の間に活動状態にあるインデックスを計算して、その行のセルにおいて該時間間隔の間に活動化される列を識別する、請求項4に記載のスケジューリング方法。

【請求項6】 N個の入力ポートからのN個の出力ポートへの要求をスケジューリングするように動作する交換システムであって、複数の入力ポートが同一の出力ポートに対して同時に要求を処理することができず、かつ複数の出力ポートが同一の入力ポートに対して同時に要求を処理することができない交換システムにおいて、

(a) 各エントリが、前記入力ポートの1つと前記出力ポートの1つとから成る対応する対の間にサービス要求があるかどうかを示す複数のエントリを有する要求マトリックスと、

(b) K個の連続するタイム・スロットの各々についてD個のダイアゴナル・パターン・シーケンスを指定する複数のエントリを有し、マトリックスの同じ行および同じ列に同じ前記のダイアゴナル・パターン・シーケンスの2つの要素が存在しないように、前記要求マトリックス上に1組D個のダイアゴナル・パターンが定義された、パターン・シーケンス・マトリックスPMと、

(c) 前記パターン・シーケンス・マトリックスPM中のシーケンスに従って、前記K個のタイム・スロットの各タイム・スロットごとに前記D個 ($D > 1$) のダイアゴナル・サービス・パターンを順序付ける手段と、

(d) 各ダイアゴナル・パターンを前記要求マトリックスにオーバーレイし、要求マトリックス上に示されるオーバーレイされた要求が、前記順序付け手段によって定義された当該タイム・スロットについての順序付けでそれ以前にあるダイアゴナル・パターンによってすでにオーバーレイされた要求と矛盾しない場合には、該要求を処理することによって、前記順序付けられた1組のダイアゴナル・パターンに従って各タイム・スロットで要求を処理し、前記順序付け手段によって定義されたダイアゴナル・パターンのシーケンスを用いて、後続のK個のタイム・スロットからなる任意の組についても同様の要求の処理を繰り返す手段とを含む交換システム。

【請求項7】 $D = N$ かつ $K = N$ であり、待ち行列が、N

個のタイム・スロットの各期間中に少なくとも1つのタイム・スロットのサービスを受けることを保証される、請求項6に記載の交換システム。

【請求項8】 $D=N \times N$ かつ $K=N \times N$ であり、待ち行列が、 $2N-1$ 個のタイム・スロットの各期間中に少なくとも1つのタイム・スロットのサービスを受けることを保証される、請求項6に記載の交換システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、全般的に多重通信システム用の交換システムに関し、詳細には、 N 個の入力ポートと N 個の出力ポートを有し、 N 個の入力ポートがそれぞれ N 個の待ち行列を有し、1つの待ち行列が各出力ポートに対応する、タイム・スロット式交換機における固定長パケットの伝送時間をスケジューリングする交換スケジューラに関する。

【0002】

【従来の技術】通信およびデータ処理の分野には、 N 個の入力資源と N 個の出力資源を有するシステム（通常は交換機）のスケジューリングを必要とする多数の応用分野がある。この場合、資源要求を $N \times N$ マトリックスで表すことができるスケジューリングの問題が発生する。あるタイム・スロットの間に、この要求マトリックスの任意の行（row）または任意の列（column）で、1つの要求しか許可することができない。スケジューラは、連続するタイム・スロット中にどの要求を満たすかを決定する。スケジューラの目的は、高スループットを提供する、すなわち許可される要求の数を最大にしながら、それぞれの要求に公平なサービスを提供することである。さらに、高速交換を実現するために、スケジューラの計算要件を極めて小さくする必要がある。

【0003】従来技術では、関連するスケジューリングの問題が認識されている。この関連する問題の定式化において、「トラフィック・マトリックス」は、あるタイム・スロット期間にわたる入出力対に対する総要求を表す。交換機に対する入力待ち行列に多数の要求が含まれる激しい過負荷状況では、トラフィック・マトリックスを、待ち行列内容を表したものとみなすことができる。この種の問題の定式化は、T. Inukaiの論文“An Efficient SS/TDMA Time Slot Assignment Algorithm”（IEEE Trans. on Communications, Vol.27, No.10, pp.1449~1455, 1979年）に記載された衛星交換時分割多重アクセス（SS/TDMA）システムの分野では一般的である。 C 個のタイム・スロット内の所与のトラフィック・マトリックスを満足するために、最適アルゴリズムのクラスが開発されている。この場合、 C は、トラフィック・マトリックスからの、任意の入力または出力に対する最大総要求である。 C 、ローズ（Rose）の論文“Rapid Optimal Scheduling for Time-Multiplex Switches using a Cellular Automation”（IE

EE Trans. on Communications, Vol.37, No.5, pp.500~509, 1989年5月）も参照されたい。残念なことに、これらのアルゴリズムは、計算コストがかさみ、 N が大きな場合には特に高速交換機の応用分野では役に立たない。実際、上記のローズの論文では、 N が大きな状況に最適スケジューリングを適用するために、計算回数が $O(N)$ として変化するアルゴリズムを実行する N^2 個のプロセッサを使用する手法を提案している。したがって、多数のポートを備えた高速パケット交換機では、最適スケジューリングの計算に実現不能な量のハードウェアが必要となる可能性がある。

【0004】

【発明が解決しようとする課題】本発明の目的は、複数の入力待ち行列を有するタイム・スロット式交換機において公平なアクセスを提供するスケジューリング機構を提供することである。

【0005】本発明の他の目的は、ラウンドロビン式スケジューリング機構を2次元で一般化することである。

【0006】本発明の他の目的は、 $N \times N$ 交換機用の N 個のタイム・スロット内で待ち行列に確実なサービスを提供する、計算が簡単なスケジューラを提供することである。

【0007】本発明の他の目的は、 $2N-1$ 個のタイム・スロット内で確実なサービスを提供する、より公平で計算がより簡単なスケジューラを提供することである。

【0008】

【課題を解決するための手段】本発明によれば、一連のタイム・スロットの間に1組のラベル付けされた汎用のダイアゴナル・サービス・パターン(diagonal service pattern)をどのように適用するかを示す「パターン・シーケンス・マトリックス」を使用するスケジューラが提供される。「ダイアゴナル(diagonal)」とは、対角線もしくは斜線を意味するが、同一のラベルがマトリックス中において斜め方向にあらわれることからこの名がある。よって、「汎用ダイアゴナル」とは、任意の行または列に1つの要素しかもたない $N \times N$ マトリックス中の2~ N 個からなる任意の1組の要素を意味する。したがって、「汎用ダイアゴナル・サービス・パターン」は、(複数の要求が)競合しない資源を必要とするために、1タイム・スロットの間に並列に処理できる1組の要求である。パターン・シーケンス・マトリックスは、1組の列ベクトルで表される。各ベクトルは、所与のタイム・スロットの間にサービス・パターンを適用する順序をリストする。スケジューラは、 K 個のタイム・スロットにわたり固定したパターンの固定シーケンスを使用して、高速スケジューリングを実現する。ダイアゴナル・パターンおよびパターン・シーケンス・マトリックスの追加の特性を指摘すると、一定の公平さを保証することができる。すなわち、連続するタイム・スロットの間に、パターン・シーケンス・マトリックス中のす

5

すべての列を使用し終わるまでK個の列を循環し、すべての列を使用した後、第1の列を再び適用して、K個のタイム・スロットごとに同じ1組のパターン・シーケンス列が繰り返されるようにする。

【0009】本発明によるスケジューラはまず、使用する特定の「汎用ダイアゴナル・サービス・パターン」および「パターン・シーケンス・マトリックス」を定義する。次に、スケジューラは、タイム・スロット0でパターン・シーケンス・マトリックスの列0にリストされた一連の汎用ダイアゴナル・サービス・パターンを順に適用する。タイム・スロット0内で各パターンが適用されるとき、要求マトリックスの特定の要素で次の条件が満たされる場合、割振りマトリックスの要素が“1”にセットされる。すなわち、1) 要求がある、2) 現在適用されているダイアゴナル・サービス・パターンがその要素を含んでいる、3) この要素に対応する入力及び出力が、いずれも当該タイム・スロットにおいて先行するダイアゴナル・サービス・パターンの適用によって割り当てられていない、の3つである。列中にリストされたすべてのダイアゴナルが適用されるか、あるいはすべての入力ポートおよび出力ポートが割り振られるか、のいずれかが発生するまでこのプロセスが継続する。連続タイム・スロットの間に、パターン・シーケンス・マトリックス中のすべての列が使用されるまでこの手順が反復され、すべての列が使用された後は、パターン・シーケンス・マトリックスの列0から繰り返される。

【0010】

【実施例】図面を参照すると、図1には、本発明によるスケジューラを使用した交換構造のアーキテクチャが示されている。N個の入力ポート11₁ないし11_Nはそれぞれ、1組N個の待ち行列12₁₁ないし12_{N1}ないし12_{NN}を有する（各入力ポートごとに1組N個の待ち行列を含む）。入力ポートは交換機14を介してN個の出力ポート13₁ないし13_Nに接続されている。交換機14は、N×Nクロスバース交換機であり、タイム・スロット化されている。特定の待ち行列にトラフィック即ち要求があるかないかはそれぞれ、図2に示す要求マトリックス中で“1”または“0”によって表すことができる。たとえば、要求マトリックスの(0,0)要素の“1”は、インデックス0をもつ入力ポートにおける1組の待ち行列のうちで、出力ポート0に対応する待ち行列が、伝送を待つ1つまたは複数のパケットを有することを示す。

【0011】本発明によるスケジューラは、たとえば、L. クラインロック (Kleinrock) 著“Queueing Systems, Vol. II: Computer Applications, 第4.4章, Wiley, New York (1976年)”に記載されている単一の共用資源に関する割振り問題で用いられるラウンドロビン方式の2次元バージョンを使用する。

【0012】本発明では、図3に示すダイアゴナル・パ

6

ターン・マトリックスと、図4に示すパターン・シーケンス・マトリックスを使用して、2次元ラウンドロビン・スケジューリング方式を実施する。N×N交換機では、前述の「汎用ダイアゴナル」を割振りパターンとして使用するとき、一定の要求マトリックスに対して最大N重の並列性を実現することができる。すなわち、要求マトリックスを介して長さNのダイアゴナル割振りパターンを掃引 (sweep) することにより、N個のタイム・スロット中に要求マトリックス中のN²個の入出力の対をすべて満足させることができる。例として、図3のダイアゴナル・パターン・マトリックス中に示した4つのダイアゴナル・パターン (指標0ないし3) を検討する。たとえば、ダイアゴナル・パターン0は、対(0,0)、(1,1)、(2,2)、(3,3)から構成される主ダイアゴナルであり、ダイアゴナル・パターン1は、対(0,1)、(1,2)、(2,3)、(3,0)から構成される。N=4個のタイム・スロットにわたってこれらのパターンを順序付けることにより、要求マトリックス中のすべての対をカバーすることができる。したがって、一連のN個のタイム・スロットのシーケンスにわたってパターン0,1,...,N-1を適用することにより、あらゆる要求側待ち行列が、N個のタイム・スロット中に少なくとも1つのタイム・スロットのサービスを受けることが保証できる。

【0013】このように基本的な公平さを保証した後に第2の問題が生じる。すなわち、現ダイアゴナル中にはないが、基本的な公平さを保証した後でもそのために資源 (すなわち、入出力ポート) が利用できる要求をどのようにして「公平に」処理するかというのがその問題である。この問題を解決するために、各タイム・スロットごとに複数のダイアゴナルを適用する。公平さはタイム・スロット内でダイアゴナルを適用する順序の影響を受けるので、あるパターン・インデックスが一貫して他のインデックスよりも優先されることのないパターン・シーケンスを探すことになる。この目標を念頭において、図4の「パターン・シーケンス・マトリックス」を検討する。「パターン・シーケンス・マトリックス」の1つの列は、所与のタイム・スロットにおいて要求マトリックスにN個のパターンを適用する順序を示す。図4に示すように、タイム・スロットが異なるとそのとき適用される順序付けも異なる。N個の連続するタイム・スロットにおいてN個の異なる列が使用された後、それらの列が再び繰り返される。各タイム・スロット中にN個のパターンのうちの異なる1つが「最初に」適用されて、前述のように公平さを保証することに留意されたい。したがって、図4の「パターン・シーケンス・マトリックス」に従ってダイアゴナル・パターンを適用する場合、N=4個のタイム・スロットの期間にわたってどのパターンも優先されることはない。

【0014】2次元ラウンドロビン (2DRR) スケジ

7

ューラをさらに例示するために、図5および6に、それぞれ図2の要求マトリックスと、図3および4のダイアゴナル・パターン・マトリックスおよびパターン・シーケンス・マトリックスに対するスケジューラの動作を示す。図5に示すように、タイム・スロット0で、ダイアゴナル・パターン・マトリックスのパターン0が適用され、その結果、要求の対(0, 0)および(1, 1)が許可され、したがって入力ポート0および1と出力ポート0および1が割り振られる。一部の入力ポート(3および4)および一部の出力ポート(3および4)がまだ割り振られていないので、パターン・シーケンス・マトリックスの列0から次のパターンであるパターン1を適用する。この場合、要求の対(2, 3)が許可される。入力ポート1および出力ポート0がそれぞれすでに割り振られているので、この時点では要求の対(1, 2)および(3, 0)は許可できなかったことに留意されたい。タイム・スロット0でパターン2および3が適用された後の、このタイム・スロットについての4つの要求対の割り振り結果を示す。タイム・スロット1にも同様な手順が使用される。しかし、この場合は、列1のパターン・シーケンスが使用される。この手順の適用を図6に示す。

【0015】前述の2次元ラウンドロビン(2DRR)スケジューラを「基本2DRRスケジューラ」と呼び、後述のバージョンのスケジューラと区別する。基本2DRRスケジューラの主ステップは以下の通りである。

【0016】1. 使用される特定のダイアゴナル・パターン・マトリックスおよび「パターン・シーケンス・マトリックス」を定義する。

【0017】2. タイム・スロット0で、パターン・シーケンス・マトリックスの列0にリストされたダイアゴナル・パターンのシーケンスを適用する。タイム・スロット0内で各パターンを適用するとき、要求マトリックス中の特定の対について次の条件が満たされている場合に、割り振りマトリックスの入出力の対を1にセットする。すなわち、1) 要求がある、2) 現在適用されているダイアゴナル・サービス・パターンがその対を含んでいる、3) この対に対応する入力及び出力が、いずれも当該タイム・スロットにおいて先行するダイアゴナル・サービス・パターンの適用によって割り当てられていない、の3つである。列中にリストされたすべてのダイアゴナルが適用されるか、あるいはすべての入力ポートおよび出力ポートが割り振られるか、のいずれかが発生するまで前述のプロセスが継続する。

【0018】3. 連続するタイム・スロットの間に、パターン・シーケンス・マトリックス中のすべての列が使

```
do from J=0 until J=N-1 { /* N個の列を順序付ける
*/
  OFFSET=J+1
  P=-1 /* Jがシーケンス中の第1のパターンになるようにセット・アップ
```

8

用されるまで前述の手順を継続し、すべての列が使用された後、パターン・シーケンス・マトリックスの列0からこの手順を繰り返す。

【0019】2DRRスケジューラの公平さ特性は、ダイアゴナル・パターン・マトリックスおよびパターン・シーケンス・マトリックスの特性によって決まる。図3に示したように、基本2DRRスケジューラで使用する特定のダイアゴナル・パターン・マトリックスは、主ダイアゴナル・パターン0を水平方向にシフトすることによって生成される。その結果、それぞれN個の要素から構成されるN個のダイアゴナル・パターンがN×N要求マトリックスのN²個の要素を完全にカバーする。後で示すように、やはりこの好ましい特性をもつ他の数組のダイアゴナル・パターンがある。

【0020】図4のパターン・シーケンス・マトリックスには幾つかの重要な特性がある。第1に、どのパターン・インデックスも、他のインデックスの後に複数回出現することはない。たとえば、列シーケンス0-1はマトリックス中に1度しか出現しない。第2に、図4のパターン・シーケンス・マトリックスのどの行でも、各インデックスは1度しか出現していない。すなわち、インデックスの繰返しはない。これらの2つの特性を1) 非反復直接順序付け、および2) 各行インデックスの非反復性と呼ぶ。一般に、N+1が素数である場合、前述の両方の特性をもつパターン・シーケンス・マトリックスが存在することが証明できる。しかし、N+1が素数でないときは、前述の特性1)と2)を同時に実現することはできない。素数と非素数の両方の場合に対処するために、N+1が素数のときに公平なパターン・シーケンス・マトリックスを生成し、N+1が素数でないときに「ほぼ公平な」パターン・シーケンス・マトリックスを生成する、汎用の順序付け方式を開示する。この方式を例示するために、図4のパターン・シーケンス・マトリックスを再度検討する。このマトリックスは、スロット時間i内でパターン・インデックスを(i+1) mod (N+1)だけ増分することによって生成された。この技法により、N+1が素数であるときは必ず、公平なパターン・シーケンス・マトリックスが生成される。N+1が素数でないときは、N+1より大きな最小の素数を使用し、N-1より大きなインデックスを無視する。このパターン・シーケンス・マトリックスPM[0...N-1, 0...N-1]を生成する手順を以下に擬似コード形式で示す。ここで、モジュラスMはN+1以上の最小の素数である。

【0021】

```

プする*/
do from I=0 until I=N-1 { /* N個の行を順序付け
る*/
do { /*シーケンス中の次のパターン番号を計算する*/
P=modulus (P+OFFSET, M)
} until (P<N) /* 値N, . . . , M-2を無視する*/
PM[I, J] = P /*パターン・シーケンスを記憶する*/
} enddo
} enddo

```

【0022】前述の手順で、 $R < 2S - 1$ であることが分かっているので、「モジュラス」演算子を、以下の簡単な形で実施することができる。

モジュラス (R, S) = $R < S$ ならば R そうでないならば $(R - S)$

【0023】さらに、最も内側の do ループの本体の最大実行回数は、 $(M - N) / 2$ の整数部分プラス1 (すなわち、数1) で与えられることに留意されたい。したがって、 $N + 1$ が素数であるとき、 do ループ本体は、1度だけ実行され、このような場合には1つのステートメントで置き換えることができる。

【数1】

$$L(M - N) / 2 + 1$$

【0024】拡張2次元ラウンドロビン・スケジューラ：基本2DRRスケジューラは、公平なスケジューリングを提供するために合計 N 個のダイアゴナル・パターンを使用する。実際には、 $N \times N$ 要求マトリックスでは考慮できる異なるダイアゴナル・パターンが $N!$ 個 (N の階乗) ある。 N よりも多くのダイアゴナル・パターンを使用して、2DRRスケジューラの公平さ特性を改善することができる。本節では、合計 N^2 個の異なるダイアゴナル・パターンを使用する「拡張2DRR」スケジューラについて述べる。

【0025】「拡張2DRR」スケジューラは、 N 個の異なるダイアゴナル・パターン・マトリックス (それぞれ N 個のダイアゴナル・パターンから構成される) を使用するが、図4に示した基本2DRRスケジューラで用いられるのと同じパターン・シーケンス・マトリックスも使用する。基本2DRRスケジューラのダイアゴナル・パターン・マトリックス中のパターンは、主ダイアゴナルをシフトすることによって生成される。したがって、要素 $(0, 0)$ 、 $(1, 1)$ 、 $(2, 2)$ 、 $(3, 3)$ から構成されるダイアゴナル・パターンが、基本2DRRスケジューラのダイアゴナル・パターン・マトリックスの生成元である。拡張2DRRスケジューラでは、 N 個の異なる「生成元」が、 N 個の異なるダイアゴナル・パターン・マトリックスの生成に使用される。これらの「生成」ダイアゴナル・パターンは、パターン・シーケンス・マトリックスから誘導される。拡張2DRRスケジューラの動作を例示するために、図7に、 N 個のタイム・スロットから成るフェーズ N 個の間に使用さ

れる $N = 4$ 個のダイアゴナル・パターン・マトリックスを示す。これらのダイアゴナル・パターン・マトリックスの生成元は、太い境界でマークした要素である。生成ダイアゴナル・パターンを右にシフトするとどのようにダイアゴナル・パターン1、2、3が得られるかに留意されたい。各ダイアゴナル・パターン・マトリックスに同じパターン・シーケンス・マトリックスが使用される。

【0026】「拡張2DRR」スケジューラは、 N 個のタイム・スロットの各フェーズ中に異なるダイアゴナル・パターン・マトリックスが使用される、 N 個の異なるフェーズにおける基本2DRRスケジューラとみなすことができる。拡張2DRRスケジューラの主ステップは以下の通りである。

【0027】1. マトリックス0ないし $N - 1$ と記した N 個の「ダイアゴナル・パターン・マトリックス」と、使用される「パターン・シーケンス・マトリックス」を定義する。

【0028】2. タイム・スロット0から $N - 1$ まで続く第1のスケジューリング・フェーズでは、ダイアゴナル・パターン・マトリックス0と、基本2DRRスケジューラ中で記述されたパターン・シーケンス・マトリックスを使用する。

【0029】3. タイム・スロット N から $2N - 1$ まで続く第2のフェーズでは、ダイアゴナル・パターン・マトリックス1および同じパターン・シーケンス・マトリックスを使用する。

【0030】4. 残りのフェーズおよびダイアゴナル・パターン・マトリックスについては、タイム・スロット $N^2 - 1$ でフェーズ $N - 1$ が完了するまで、ステップ2および3の手順を続行する。完了した時点で、ステップ2から始まるプロセス全体を繰り返す。

【0031】連続する複数組のタイム・スロットの間に異なるダイアゴナル・パターン・マトリックスが使用されるので、拡張2DRRスケジューラが保証する公正さは、基本2DRRスケジューラよりも緩やかである。具体的には、拡張2DRRスケジューラでは、各要求側待ち行列が $2N - 1$ タイム・スロット期間ごとに少なくとも1つのタイム・スロットのサービスを受ける。(基本2DRRスケジューラの保証は、 N 個のタイム・スロットごとに1つのサービスだったことを思い起こされた

い。) 拡張2DRRスケジューラでは、保証される公平さは緩やかであるが、 N^2 個のタイム・スロットから成るより長い時間範囲にわたって、各要求が少なくともN個のサービスを受けることが保証されることに留意されたい。

【0032】2DRRアルゴリズムのプレゼンテーション：実際のアーキテクチャに進む前に、実施態様の点から基本2DRRアルゴリズムおよび拡張2DRRアルゴリズムについて簡単に説明しておく。

【0033】基本2DRRアルゴリズム：交換機はサイクル T_j で動作する。ここで、添字 j は、 T_j が交換機の動作の j 番目のサイクルであることを意味する。以下の $N \times N$ マトリックスが与えられているものと仮定する。

1. 要求マトリックス：各エントリ $RM[r][c]$ は2進値であり、以下の意味をもつ。 $RM[r][c] = 1$ は入力 r から出力 c への接続を求める要求があるならば、1そうでないならば、0

2. ダイアゴナル・マトリックス：各エントリ $DM[r][c]$ は、0と $(N-1)$ の間の(0と $N-1$ 自体も含む)整数を含み、 $DM[r][c] = k$ は、 $RM[r][c]$ が k 番目のダイアゴナルでカバーされることを意味する。ダイアゴナルは、次のように構成される。 $RM[r][c]$ がダイアゴナル $k = (c-r) \bmod N$ でカバーされる。

3. パターン・シーケンス・マトリックス：各エントリ $PM[i][j]$ は、0と $(N-1)$ の間の整数であり、次の意味をもつ。 $PM[i][j] = k$ は、 $j = m \bmod N$ となる交換機サイクル T_m 中に、アルゴリズムによって適用されるシーケンス中の i 番目のダイアゴナルが k という番号の付いたダイアゴナルであることを意味する。

【0034】前述のように、交換機は一連のクロック・サイクル T_0, \dots, T_m, \dots で同期的に動作する。このアルゴリズムによれば、各交換機サイクルの間にN個のダイアゴナルがすべて適用されて、次にどの接続を確立すべきかを決定する。これを実施するために、各サイクル T_m をN個の「時間間隔(インターバル)」 $T_m^0, \dots, T_m^{(N-1)}$ に分割する。時間間隔 T_m^i の間に適用されるダイアゴナルは、エントリ $PM[i][j]$ で指定されたダイ

$$DM[r][c] = (c - PM[r][p]) \bmod N$$

上式で、 p はフェーズ番号であり、サイクル T_m について

【数2】

$$p = (m \bmod N^2) / N$$

が成立する。フェーズには0ないし $(N-1)$ の番号が付けられる。

【0037】拡張2DRRアルゴリズムの重要な特徴は、ダイアゴナルを選択する方法である。各フェーズで、ダイアゴナルは、パターン・シーケンス・マトリックス PM を基準として構築される。これによって、アル

ゴナルである。ここで、 $j = m \bmod N$ である。 $PM[i][j] = k$ の場合、この時間間隔中に検査される要求は、 $DM[r][c] = k$ となる $RM[r][c]$ 中の要求である。前式で、 $0 \leq r \leq (N-1)$ 、 $0 \leq c \leq (N-1)$ である。2DRRアルゴリズムの結果は $N \times N$ マトリックス、すなわち「割振りマトリックス」 AM であり、以下の2進エントリおよび意味をもつ。

$AM[r][c] = 1$ は入力 r から出力 c への接続が割り振られているならば、1そうでないならば、0

【0035】このアルゴリズムによれば、以下の条件が満たされる場合に限って、時間間隔 T_m^i 中にエントリ $AM[r][c]$ がセットされる。

1. $RM[r][c] = 1$

2. 入力 r および出力 c が割振りに利用可能である(すなわち、入力 r および出力 c が、同じサイクル T_m の前に適用されたダイアゴナルによって異なる接続に割り振られていない)。

3. $DM[r][c] = k$ 。ただし、 $PM[i][j] = k$ である。さらに、 $j = m \bmod N$ である。以上のことが与えられている場合、問題は、各サイクル T_m 中に「割振りマトリックス」を計算することである。

【0036】拡張2DRRアルゴリズム：拡張2DRRアルゴリズムは、前述の基本2DRRアルゴリズムと同様に動作する。拡張2DRRアルゴリズムで提供される性能向上の基礎である、基本2DRRアルゴリズムとの違いは、拡張2DRRアルゴリズムでは、 DM マトリックスが動的である、すなわちNサイクルごとに変化することである。拡張2DRRアルゴリズムはN個の「フェーズ」で動作する。各フェーズはN個の連続するサイクルから構成される。このダイアゴナルの組は、各フェーズごとに異なる。あるフェーズでダイアゴナルの組が使用されるとすると、このアルゴリズムは、前述の基本2DRRの場合と同様にこれらのダイアゴナルを適用する。ダイアゴナルはN個のフェーズから成る全期間にわたって各フェーズ中に変化する。すなわち、同じ組のダイアゴナルが、N個のフェーズが経過した後使用される。これは、前述のマトリックス DM が動的であることを意味する。 DM マトリックスがどのように変化するかを記述する。

アルゴリズムは、 DM をどのように変更すべきかを記述する新しいデータ(または追加の回路)を必要とせず、すでに記憶されている(必要な)情報を使用することができる。

【0038】2DRR集中スケジューラ：この設計では、「割振りマトリックス」の計算に固有の並列性を利用する。すなわち、サイクル T_m の間隔 i において、以下の情報が与えられている場合、各セルはそれに対応する $AM[r][c]$ を計算することができる。

1. 入力 r および出力 c の可用性。

13

2. RM[r][c]の値。

3. PM[i][j]。ただし、 $j = m \bmod N$ 。

【0039】これらの並列計算では、スケジューラのセル間で以下の情報が共有される。

1. 同じ行／列内のセル間で入出力可用性 (AV1[r] / AV0[c]) が共有される。

2. すべてのセルの間に「パターン・シーケンス」情報 PM[i][j] が共有される。

【0040】図8に、部分的に並列化されたスケジューラの編成を示す。この設計の2つの主な部分は、「グローバル状態マシン」21と「セル・マトリックス」22である。「グローバル状態マシン」21の目的は、各時間間隔中にダイアゴナル情報をパターン・シーケンス・マトリックス23から分散することであり、「セル・マトリックス」22の目的は、要求マトリックス24からの入力に基づいて「割振りマトリックス」のビットを計算して記憶することである。図9に、 $N=4$ と仮定した場合のシステムのクロックを示す。

【0041】時間間隔 T_m^i の間に、「グローバル状態マシン」21は、この間隔中にアルゴリズムによって適用

$$D(j_1, i_1) = \begin{cases} (D(j, i) + (j+1)) \bmod M, & \dots D(j, i) < (N - (j+1)) \text{ の場合} \\ (D(j, i) + \left\lceil \frac{M - D(j, i)}{(j+1)} \right\rceil (j+1)) \bmod M, & \dots (N - (j+1)) \leq D(j, i) \text{ の場合} \end{cases}$$

上式でMはNより大きな最小の素数である。

【0042】この集中モデルでは、「グローバル状態マシン」21は、セルを使用可能にする信号を生成する。すなわち、Sel[r][c]信号は、この時間間隔の間に、入力rおよび出力cをもつセルが現ダイアゴナルに属することを示す。さらに、マトリックスの各セルに以下の2進信号が利用できるものと仮定する (rは対応する入力であり、cは対応する出力である)。

AV1[r] = 入力rがまだ接続に割り振られていない

$$AM[r][c] = Sel[r][c] \cdot RM[r][c] \cdot AV1[r] \cdot AV0[c]$$

【0044】上式で、 \cdot は論理AND関数であり、Sel[r][c]信号は、「グローバル状態マシン」21によって「セル・マトリックス」22に伝搬される。AM[r][c]を1にセットするセルはまた、値AV1[r]およびAV0[c]をリセットして、入力rおよび出力cがそれぞれ接続に割り振られていることを示す。

【0045】図10に、「セル・マトリックス」22中のセルの設計を示す。セルは、前述の機能を実施し、その信号は、所与の公式に従って命名される。セルは、各サイクルの始めに、フリップフロップ回路67のリセット信号を使用してリセットされる。したがって、出力Qは論理“0”にリセットされる。セルが制御装置によって選択されないかぎり、信号Sel[r][c]は否定され (すなわち、論理“0”にセットされ)、インバータ64の出力がアサートされる (すなわち、論理“1”にセッ

14

される、ダイアゴナル $D(j, i)$ 、 $j = m \bmod N$ に属するセルを活動化する。ダイアゴナル番号は、エントリPM[i][j]によって規定される。問題は、時間間隔 T_m^i の直後の時間間隔 T_{m+1}^{i+1} 中に適用されるダイアゴナル $D(j_1, i_1)$ 、 $j_1 = m_1 \bmod N$ を識別することである。「パターン・シーケンス・マトリックス」PMが記憶されている場合、ダイアゴナルはエントリPM[j₁][i₁] = $D(j_1, i_1)$ にアクセスすることによって獲得される。PMに容易にアクセスできない (PMを容易に記憶できない) 場合、「グローバル状態マシン」21は、次のように、オンラインで次の時間間隔 T_{m+1}^{i+1} のダイアゴナル $D(j_1, i_1)$ を計算することができる。i₁ = 0 (すなわちi = (N-1)) の場合、 $j = (j+1) \bmod N$ 、かつ $D(j_1, i_1) = D((j+1) \bmod N, 0) = (j+1) \bmod N = j_1$ である。i₁ = 0でない場合、i₁ = (i+1)、j₁ = jであり、および $D(j_1, i_1)$ は、以下の関数を使用して計算される。

【数3】

... $D(j, i) < (N - (j+1))$ の場合

らば、1

入力rがすでに割り振られているならば、0

AV0[c] = 出力cがまだ接続に割り振られていないならば、1

出力cがすでに割り振られているならば、0

【0043】前記の情報が与えられていると仮定すると、「セル・マトリックス」22の各セルは、以下の論理関数を使用してそれに対応するエントリAM[r][c]を計算する。

トされる)ことを意味する。インバータ64のこの出力がアサートされると、ANDゲート65の出力の値は、フリップフロップ回路67の出力Qに等しくなる。さらに、ANDゲート63の出力は、その入力Sel[r][c]が否定されるので否定される (すなわち、論理“0”にセットされる)。その結果、ORゲート66の出力がANDゲート65の出力 (すなわち、フリップフロップ回路67の値Q)を提供する。したがって、Sel[r][c]が否定されているとき、フリップフロップ回路67は、時間間隔クロック (インターバル・クロック) ϕ の連続サイクルの間、次のサイクルの始めにフリップフロップ回路がリセットされるまで、その値を保持する。Sel[r][c]がアサートされると、ANDゲート63の出力がANDゲート62の出力、すなわちAV1[r]・AV0[c]・RM[r][c]に等しくなる。すなわち、ANDゲート63の出力は、要求RM

【r】【c】があり、対応する入力rが割振りに利用可能であり（AV₁【r】がアサートされ）、かつ対応する出力cが割振りに利用可能である（AV₀【c】がアサートされる）場合にアサートされる。したがって、ANDゲート63の出力は、前述のように、入力rと出力cの間に接続を確立すべきときにアサートされる。Sel【r】【c】がアサートされるので、インバータ64の出力は否定され、したがってANDゲート65の出力は否定される。したがって、ORゲート66の出力はANDゲート63の値に等しくなる。したがって、前述のように、適切な信号がすべてアサートされる場合、ORゲート66の出力がアサートされ、インターバル・クロックφの適切なエッジが出現した後にフリップフロップ回路67の出力AM【r】【c】をアサートさせる。セルの選択時に値が計算された後、セルは、前述のように、新しいリセット信号が到着するまで（すなわち、次のサイクルが開始するまで）その値を保持し続ける。

【0046】各時間間隔中に現ダイアゴナル番号を分散するための選択肢が2つある。

1. 各時間間隔の間に適用されるダイアゴナル番号を計算する。

2. 初期設定中にPMを計算し、メモリに記憶し、通常動作中にそれにアクセスする。その後、ダイアゴナル情報がすべてのセルに分散される。

【0047】拡張2DRR分散スケジューラ：拡張2DRRスケジューラでは、前述と同様な方法に従う。すなわち、AMエントリの計算を並列化する。各セルに必要な情報は、基本2DRRスケジューラで必要であった情報と同じであり、AMセルの計算も同じである。拡張2DRRスケジューラの根本的な違いは、各セルが異なるフェーズに異なるダイアゴナルに属することである。したがって、拡張2DRRスケジューラ・アーキテクチャでは、AM【r】【c】の計算に、基本2DRRスケジューラのセルと同様なセルを使用するが、セルの選択プロセス、すなわちSel【r】【c】の計算に違いがあ

$$c = (PM[i][j] + PM[r][p]) \bmod N$$

上式でrは行番号、T_mⁱは現時間間隔、pはフェーズ番号、j = m mod Nである。

【0052】図11に示すアーキテクチャは、次のように動作する。初期設定中、「初期設定機構」33はマトリックスPMを計算し、行ごとにそれを「行制御装置」31₁ないし31_Nに記憶する。すなわち、行制御装置【r】はPMの行【r】を記憶する。行制御装置【r】は、PMの行【r】をローカルに記憶させるので、ローカル・メモリに直接アクセスすることによってPM【r】【p】を獲得することができる。PM【i】【j】は、すべての行制御装置が必要とするデータであり、行制御装置【i】のローカル・メモリに記憶される。このため、制御装置の動作は、「同報通信」と「計算」という2つのフェーズに分割される。同報通信フェ

る。

【0048】基本2DRRスケジューラでは、座標rおよびcをもつセルは、ある時間間隔の適用業務用を選択されたダイアゴナル番号がダイアゴナル・マトリックス中のエントリDM【r】【c】と一致するときに、「グローバル状態マシン」21によって選択される。基本2DRRスケジューラでは、ダイアゴナルDM【r】

【c】は静的である（時間が経過しても一定である）。さらに正確に言うと、DM【r】【c】 = (c - r) mod Nである。

【0049】座標rおよびcをもつ各セルに、各間隔で、以下の等式が成立するかどうかをテストさせることによって、拡張2DRRスケジューラを実施する。

$$D(j, i) = (c - PM[r][p]) \bmod N$$

【0050】上式でD(j, i)は、時間間隔T_mⁱ、j = m mod Nの間に同報通信されるダイアゴナル番号であり、pはフェーズ番号である。この方法では、各セルがNサイクルごとにマトリックスPMを読み取り、エントリPM【r】【p】を獲得する必要がある。この情報は各セルごとに異なるので、PMを記憶しているメモリは「ホット・スポット(hot spot)」であり、したがって関連する遅延が大きくなる。

【0051】この問題を避けるために、図11に示すように、1行ごとに制御を分散する。図11から分かるように、各行に制御装置がある。これは「行制御装置」31₁ないし31_Nであり、各時間間隔で、その行のすべてのセルに、選択されたセルのインデックスcを同報通信する。各セル32₁₁～32_{1N}、...、ないし32_{N1}～32_{NN}は、同報通信されたcがそれ自体の列インデックスに一致するかどうかを並列に検査する。一致するセルは、（前述と同じ回路をもつ）基本2DRRスケジューラに関して述べたように、AMエントリを計算するために選択される。各制御装置は同報通信すべき数cを以下のように計算する。

ーズ中は、行制御装置【i】だけが動作し、ローカル・メモリに記憶されているエントリPM【i】【j】を残りのすべての制御装置に同報通信する。これは、図12にさらに詳細に示すように、「同報通信バス」34上で実行される。

【0053】図12に、2つの制御装置、制御装置[in]terval]81および制御装置[k]94を示す。サイクルT_m内のインデックス間隔をもつクロック間隔が出現するものと仮定する。すると、線i、95はその値の間隔をもつので、比較機構CMP82の結果84がアサートされ、メモリ83のRead(R)信号をアサートして、メモリ83にPMマトリックスのエントリ、PM【i】【n】、0 ≤ n < Nを記憶させる。線84は、アサートされると、アドレス(A)値j(j = m mod M)をも

つ線85を使用してメモリを読み取らせる。その結果、値PM [interval] [j] がレジスタ回路86に転送される。前述の動作はすべて、「同報通信」フェーズの始めに発生する。エントリPM [interval] [j] がレジスタ回路86に移動すると、そのデータがバス87を介して他のすべての制御装置、たとえば制御装置[k] 94に同報通信される。次いで、制御装置[k] 94がレジスタ回路88にこのデータを記憶する。

【0054】「同報通信」フェーズの完了後、「計算」フェーズが開始し、アドレス(A)としてp、すなわちフェーズ番号91を使用し、メモリの読取り(R)線90用の適切なインターバル・クロック ϕ_1 を使ってメモリ89が読み取られる。したがって、エントリPM [k] [p] がメモリ89から出力され、レジスタ回路92に入力される。次に、2つのレジスタ88および92の内容がモジュロN加算器93でモジュロN加算され、インデックス c_k が生成される。インデックス c_k は、前述のように、制御装置[k] 94によって対応するセルに同報通信される。すなわち、 $c_k = (\text{PM} [\text{interval}] [j] + \text{PM} [k] [p]) \bmod N$ である。

【0055】図11を参照すると、図12の制御装置[k] 94は図11の制御装置31jであり、したがって前記の結果はセル32j1...32jnに同報通信される。これらのセルは、図10のセルと同様であるが、回路が追加されている。この追加の回路は、cが c_k に等しいときSel [r] [c] をアサートする。この場合、 c_k は制御装置[k] 94によって同報通信され、cは対応するセルの列インデックスである。

【0056】計算フェーズに、各制御装置はそれ自体のメモリにアクセスして、エントリPM [r] [p] を獲得する。次に、制御装置は、前回の同報通信フェーズ中に同報通信された、ラッチされたエントリPM [i] [j] にエントリPM [r] [p] を加える。このようにして、各行制御装置は、図12に示すように、この間隔中に活動状態のインデックスcを計算し、その行のすべてのセルに同報通信する。列インデックスがcに一致するセルは、活動化され、基本2DRRスケジューラに関して述べたのとまったく同じ方法で対応するAMエントリを計算する。

【0057】2DRRスケジューラの基本形および拡張形の好ましい実施例に関して本発明を説明したが、本発明は修正を加えて実施できることを、当業者は認識するであろう。

【図面の簡単な説明】

【図1】交換構造の基本アーキテクチャを示す概略図で

ある。

【図2】図1に示す交換構造の入出力ポートの要求マトリックス図である。

【図3】汎用ダイアゴナル・サービス・パターンを記述したダイアゴナル・パターン・マトリックスを示す図である。

【図4】パターン・シーケンス・マトリックスを示す図である。

【図5】タイム・スロット0の間に割振りの例で 사용되는1組のマトリックス・パターンを示す図である。

【図6】タイム・スロット1の間に割振りの例で 사용되는1組のマトリックス・パターンを示す図である。

【図7】拡張2次元ラウンドロビン・アルゴリズムのタイム・スロット0ないし15の間の1組のマトリックス・パターンを示す図である。

【図8】本発明によるスケジューラを実施する交換構造の編成を示すブロック図である。

【図9】図8に示す4×4交換機の動作を示すタイミング図である。

【図10】「セル・マトリックス」中のセルの設計の論理図である。

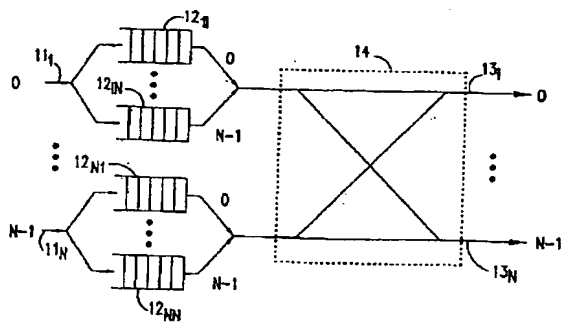
【図11】拡張2次元ラウンドロビン・スケジューラにおける制御の分散を示すブロック図である。

【図12】同報通信バスに接続された図11の行制御装置を示すさらに詳細なブロック図である。

【符号の説明】

- 11 入力ポート
- 12 待ち行列
- 13 出力ポート
- 14 交換機
- 21 グローバル状態マシン
- 22 セル・マトリックス
- 23 パターン・シーケンス・マトリックス
- 24 要求マトリックス
- 31 行制御装置
- 33 初期設定機構
- 34 同報通信バス
- 62 ANDゲート
- 64 インバータ
- 66 ORゲート
- 67 フリップフロップ回路
- 82 比較機構
- 83 メモリ
- 86 レジスタ回路
- 93 モジュロN加算器

【図1】



【図2】

出力

	0	1	2	3
入力 0	1	0	0	1
1	0	1	1	0
2	0	1	0	1
3	1	1	1	0

【図3】

出力

	0	1	2	3
入力 0	0	1	2	3
1	3	0	1	2
2	2	3	0	1
3	1	2	3	0

対角線
パターン・
マトリックス

【図4】

タイム・スロット
インデックス

	0	1	2	3
0	0	1	2	3
1	1	3	0	2
2	2	0	3	1
3	3	2	1	0

パターン・
シーケンス

パターン・
シーケンス・
マトリックス

【図5】

タイム・スロット 0

	0	1	2	3
パターン 0	0	1	0	1
1	1	0	1	0
2	0	1	0	1
3	1	1	1	0

パターン 1

	0	1	2	3
0	1	0	0	1
1	0	1	1	0
2	0	1	0	1
3	1	1	1	0

パターン 2

	0	1	2	3
0	1	0	0	1
1	0	1	1	0
2	1	0	1	0
3	1	1	1	0

パターン 3

	0	1	2	3
0	1	0	0	1
1	1	1	1	0
2	0	1	0	1
3	1	1	1	0

タイム・スロット 1 の
割振り

【図6】

タイム・スロット 1

	0	1	2	3
パターン 0	0	1	0	1
1	1	0	1	0
2	0	1	0	1
3	1	1	1	0

パターン 3

	0	1	2	3
0	1	0	0	1
1	0	1	1	0
2	0	1	0	1
3	1	1	1	0

パターン 0

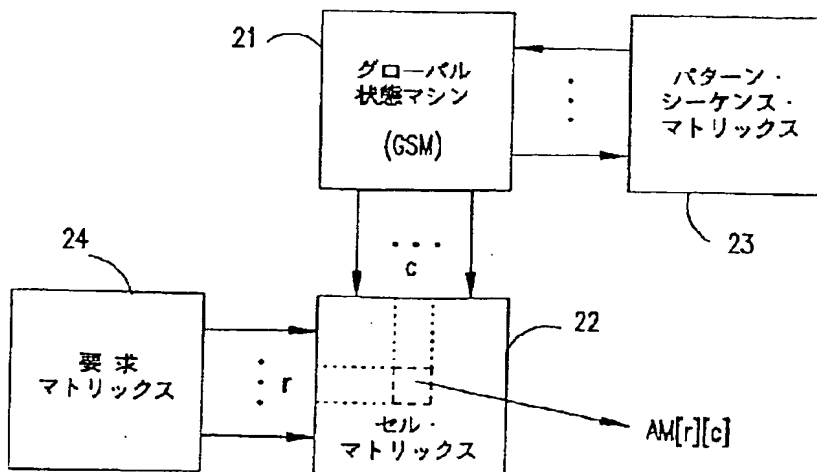
	0	1	2	3
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	1	1	1	0

パターン 2

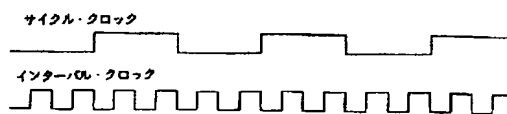
	0	1	2	3
0	1	0	0	1
1	0	1	1	0
2	0	1	0	1
3	1	1	1	0

タイム・スロット 0 の
割振り

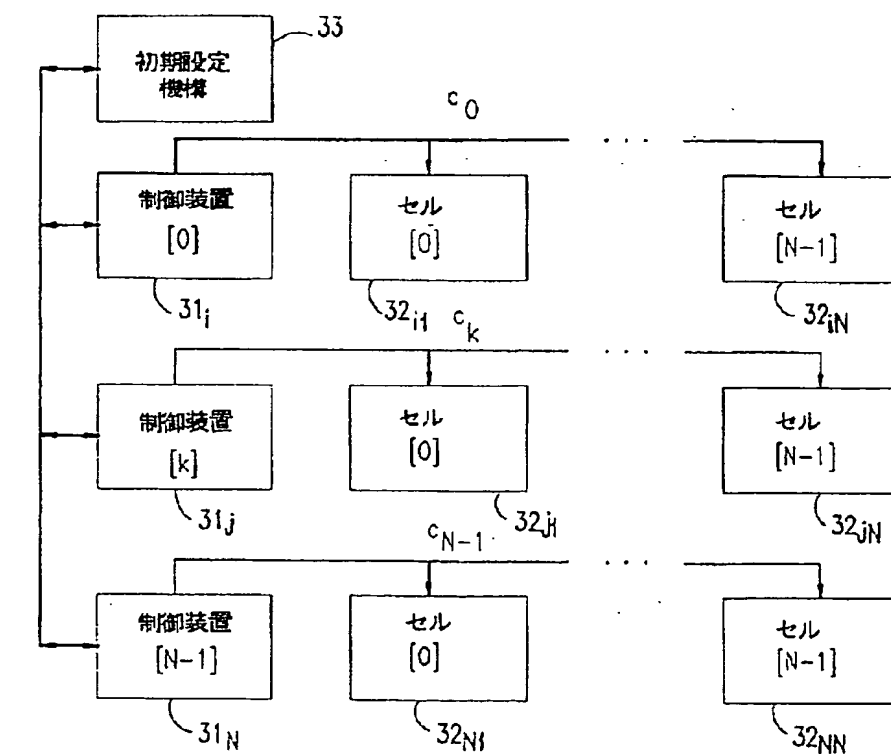
【図8】



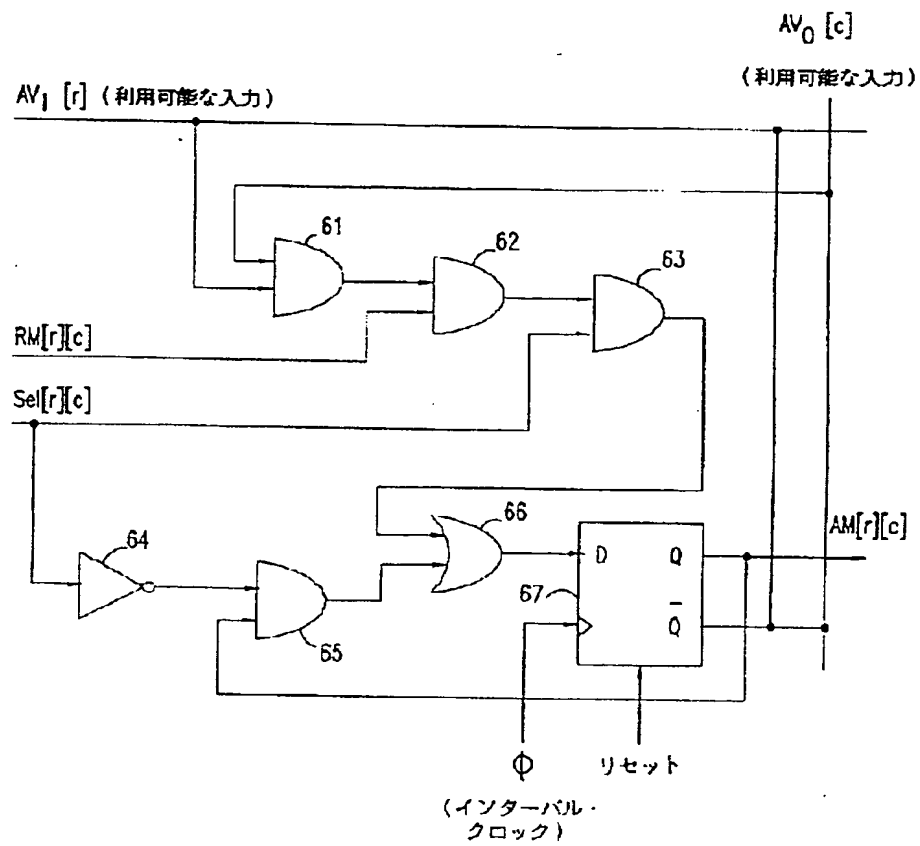
【图 9】



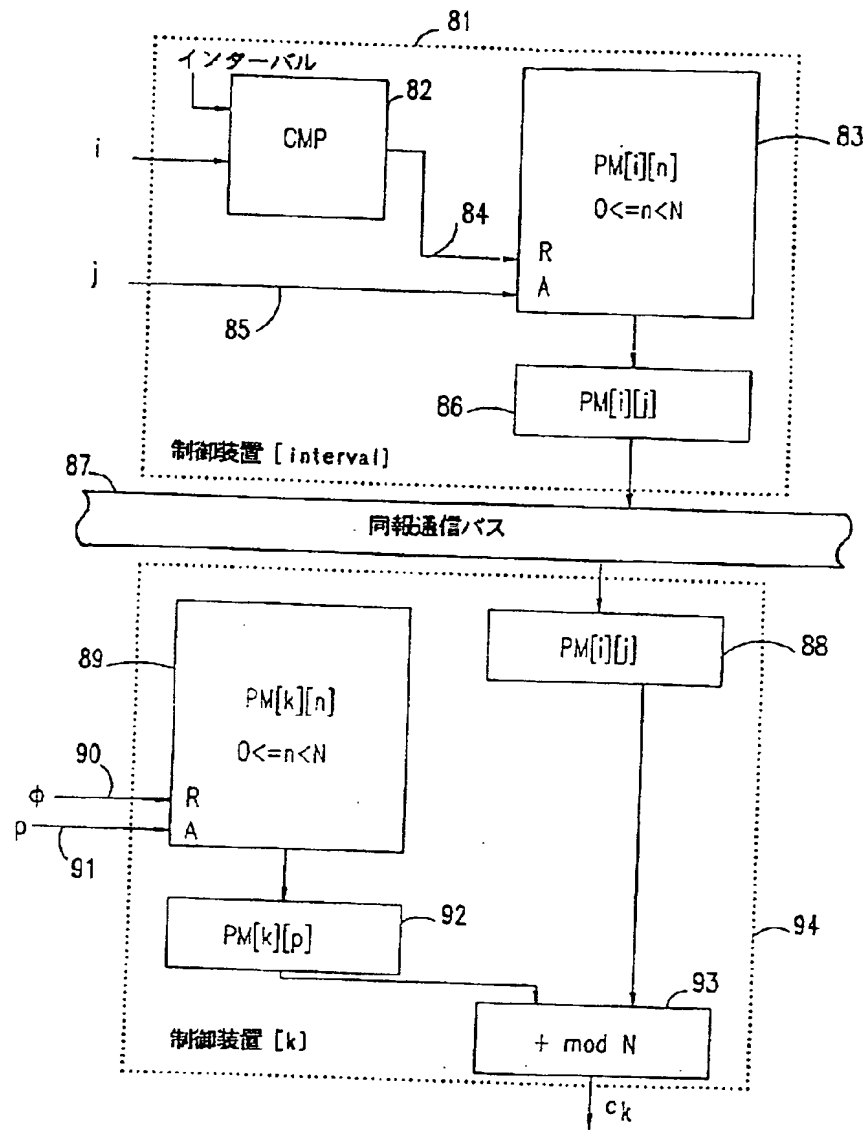
【图 1 1】



【図 10】



【図12】



フロントページの続き

(72) 発明者 ディミトリオス・ニコラウ・セルパノス
 アメリカ合衆国10562、ニューヨーク州オ
 ッシニング、ウォールドン・ロード38 1
 / 2 アパートメント・ビー 12